

SAVREMENE TEHNIKE ZA PROJEKTOVANJE POUZDANIH ČIPOVA NAPRAVLJENIH OD NEPOUZDANIH KOMPONENATA

Predrag Ivaniš¹, Srđan Brkić^{1,2}, Goran Đorđević³ i Bane Vasić⁴

¹Elektrotehnički fakultet, Univerzitet u Beogradu

²Inovacioni centar Elektrotehničkog fakulteta u Beogradu

³Elektronski fakultet, Univerzitet u Nišu

⁴Department of ECE, University of Arizona, USA

Sadržaj: *U radu će biti dat pregled inovativnih tehnika koje omogućavaju projektovanje pouzdanih čipova od nepouzdanih memorijskih elemenata i logičkih kola. Detaljno će biti predstavljena originalna rešenja za dizajn memorija čija se stabilnost ostvaruje korišćenjem kodova sa malom gustinom provera parnosti. Biće prikazan zanimljiv efekat da neki dekoderi, koji se koriste u memoriji, imaju bolje performanse u slučaju kada su komponente od kojih su napravljeni nepouzdanе, a zatim će biti opisano novo rešenje dekodera otpornog na greške u logičkim kolima od kojih je napravljen. Konačno, biće pokazano da performanse dekodera realizovanog pomoću nepouzdanih komponentata zavise od informacije koja je uskladištena u memoriji.*

Ključne reči: *Bit flipping, iterativno dekodovanje, LDPC kodovi, logička kola, stabilnost memorije, nepouzdanе komponente.*

1. Uvod

Sve veći stepen integracije poluprovodničkih komponenti zajedno sa sve strožijim zahtevima za malom disipacijom energije dovodi do toga da se ubrzo neće moći garantovati savršena pouzdanost komponenti od kojih su sastavljeni čipovi [1]. Zato poseban izazov predstavlja zahtev da se obezbedi pouzdano skladištenje podataka i pouzdan transport informacija unutar čipa ili između dva čipa, pod uslovom da su oni napravljeni od komponentata koje nisu potpuno pouzdane.

U ovom radu biće opisan pristup koji obezbeđuje rešenje problema prenosa i zapisa pomoću kodova sa malom gustinom provere parnosti (*Low-Density Parity-Check* – LDPC). Za razliku od standardnog komunikacionog problema, gde se smatralo da su koder i dekođer sastavljeni od (skoro) savršeno pouzdanih komponentata, ovde se razmatra slučaj kada je verovatnoća da logička kola, od kojih je dekođer sastavljen, promene binarnu vrednost na svom izlazu uporediva sa verovatnoćom greške u kanalu.

Prva istraživanja vezana za mogućnost konstrukcije stabilnih memorija konstruisanih od nepouzdanih komponenti obavili su Tejlor [2] i Kuznjecov [3]. U ovim radovima pokazano je da je moguće konstruisati memoriju koja ima kapacitet različit od nule čak i u slučaju da su logička kola i memorijski registri od kojih je sastavljen dekodler nepouzdana. Pritom se memorija smatra stabilnom ako se može garantovati da se u trenutku čitanja iz nje sve greške mogu ispraviti ako se tada primeni dekodler koji radi po istom algoritmu, ali sastavljen od pouzdanih komponenti.

Nedavno se pojavilo dosta radova u kojima se analiziraju performanse LDPC dekodera realizovanih pomoću nepouzdanih komponenti, kao i mogućnosti njihove primene. Tako je u radu [4] razmatrana primena iterativnog dekodovanja u cilju obezbeđivanja stabilnosti memorije. Analiza performansi sum-produkt algoritma (*Sum Product Algorithm* – SPA [5]), za slučaj kada je hardver dekodera nepouzdan data je u [6], dok je analiza sve popularnije klase dekodera baziranih na konačnom alfabetu (*finite-alphabet decoder* – FAID) predstavljena u [7]. Analiza Galager-B algoritma u sličnom kontekstu data je u radovima [8-9], korišćenjem *density evolution* postupka.

Sa druge strane, bit-flipping (BF) postupak dekodovanja predstavlja pogodno rešenje za komunikaciju na brzim linkovima, jer obezbeđuje izuzetno malu kompleksnost i veliki protok. U novije vreme se pojavio veći broj predloga za poboljšanje ovog algoritma, a jedan od njih je izložen u radu [10], gde je opisan *Gradient Descent Bit Flipping* (GDBF) algoritam. U ovom radu će biti predložen jedan metod za dodatno unapređenje ovog algoritma uvođenjem probabilističkog pristupa u proces dekodovanja. Pomenuto unapređenje smo opisali u prethodno objavljenom radu [11], a ovde prenosimo osnovne zaključke i dajemo nove numeričke rezultate. Pored toga, u radu će biti dati i osnovni zaključci rada [12], u kome smo pokazali da neki osnovni postulati teorije linearnih blok kodova ne moraju da važe ako je dekodler realizovan pomoću nepouzdanih komponenti.

2. LDPC kodovi i bit-flipping algoritam dekodovanja

a) LDPC kodovi i njihov opis

LDPC kodovi pripadaju klasi linearnih blok kodova koji su potpuno opisani svojom generišucom, odnosno kontrolnom matricom. To znači da se kodna reč x linearnog blok koda (dužine n) može dobiti prostim množenjem informacione reči i (dužine k) odgovarajućom generišucom matricom G , dimenzija $n \times k$, tj.

$$x = i \otimes G, \quad (1)$$

pri čemu operator \otimes označava množenje binarnih brojeva (operaciju množenja u polju Galoa $GF(2)$).

Proces dekodovanja linearnog blok koda sastoji se od određivanja sindroma i ekstrakcije informacionih bita. Sindrom S pruža informacije o grešakama koje treba korigovati i određuje se množenjem primljene reči y i kontrolne matrice H (dimenzija $(n-k) \times n$), na osnovu izraza

$$S = y \otimes H^T, \quad (2)$$

pri čemu je u slučaju prenosa kroz binarni simetrični kanal (*binary symmetric channel* – BSC) verovatnoća da se bit u primljenoj reči y razlikuje od odgovarajućeg bita u poslatoj kodnoj reči x jednaka α .

Kako su generišuća i kontrolna matrica povezane relacijom $\mathbf{GH}^T=0$ za opis proizvoljnog linearnog blok koda dovoljna je jedna od ove dve matrice. U slučaju binarnih LDPC kodova mogu se uočiti neke specifičnosti [5]:

- Konstrukcija koda svodi se na konstrukciju kontrolne matrice. Pritom je poželjno da ova matrica ima što manji broj binarnih jedinica. Kako se kontrolna matrica naziva još i matrica proveravanja, mala gustina binarnih jedinica u njoj je dovela i do imena ove klase kodova.

- Neka je broj jedinica u j -toj koloni matrice \mathbf{H} označen sa $\gamma_j (j=1,2,\dots,n)$, dok je broj jedinica u i -toj vrsti iste matrice označen sa $\rho_i (i=1,2,\dots,n-k)$. Kod je regularan ako je ispunjeno

$$\gamma_j = \gamma \forall j \wedge \rho_i = \rho \forall i. \quad (3)$$

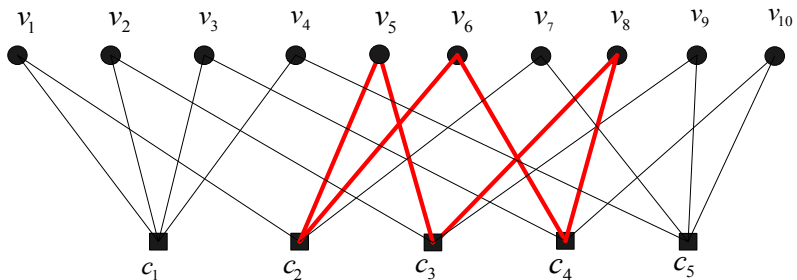
- Kodni količnik regularnog koda (definisan kao $R=k/n$) zadovoljava relaciju

$$R \leq 1 - \gamma/\rho, \quad (4)$$

i poželjno je da i γ i ρ imaju što je moguće manje vrednosti, i da pritom njihov odnos bude što je moguće manji. Kontrolna matrica jednog regularnog koda za koji je $\gamma=2, \rho=4, R=1/2$ data je u obliku

$$\mathbf{H} = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 \end{bmatrix}. \quad (5)$$

- Dekodovanje LDPC kodova najčešće se obavlja iterativno, koristeći Tannerov graf koji se konstruiše na osnovu strukture kontrolne matrice. Ovaj graf je bipartitan i sastoji se od varijabilnih čvorova v_i i kontrolnih čvorova c_i . Ako je kod regularan, iz svakog varijabilnog čvora izlazi γ grana i svaki kontrolni čvor povezan je sa ρ grana. Tannerov graf koji odgovara kontrolnoj matrici iz prethodnog izraza prikazan je na slici 1. Ciklus najmanje dužine u ovom bipartitnom grafu naziva se *girth* i označava sa g . Jasno je da je u prethodno datom primeru $g=6$. Povećanje vrednosti parametra g doprinosi poboljšanju performansi koda.



Slika 1. Tannerov graf koda opisanog kontrolnom matricom datom u (5)

b) Iterativno dekodovanje LDPC kodova

Iterativni dekoderi LDPC kodova zasnivaju se na postupku poboljšanja procene kodne reči tokom uzastopnih pokušaja, u skladu sa odgovarajućim algoritmom. Ako je

procena kodne reči nakon l -te iteracije označena sa $\hat{x}^{(l)}$, kao što je ilustrovano na slici 2, proces dekodovanja se zaustavlja kada je ispunjen uslov

$$S^{(l)} = \hat{x}^{(l)} \mathbf{H}^T = 0, \quad (6)$$

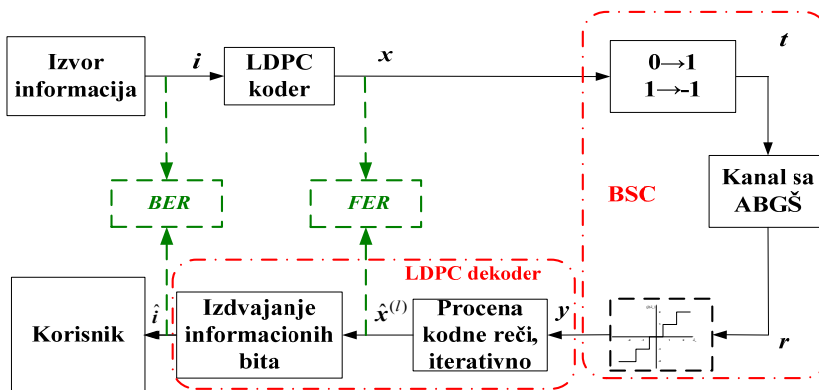
ili kada je dostignut maksimalni dozvoljeni broj iteracija u toku dekodovanja, unapred definisan i označen sa L .

Ukoliko se procena i nakon L iteracija razlikuje od kodne reči ($\hat{x}^{(L)} \neq x$) kaže se da je došlo do greške. Ukoliko je $S^{(l)} = 0, l < L$ ali je $\hat{x}^{(l)} \neq x$ dekodovanje je obavljeno pogrešno (*miscorrection*). Verovatnoća da se desi neki od dva prethodno opisana događaja pri prenosu kodne reči predstavlja verovatnoću greške po ramu (*Frame Error Rate – FER*). Verovatnoća da bit poslat od strane izvora ne bude ispravno prenet kroz kanala do dekodera predstavlja verovatnoću greške po bitu (*Bit Error Rate – BER*).

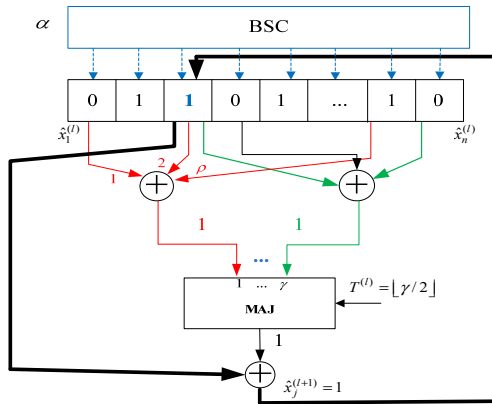
Iterativni dekoderi LDPC kodova se generalno mogu podeliti u dve velike grupe:

1. Dekoderi sa mekim odlučivanjem (*soft decision*), koji po pravilu imaju bolje performanse ali i veću kompleksnost. Ovi dekoderi odluke odnose na osnovu procesiranja odgovarajućih verovatnoća (*likelihoods*) koji se moraju predstaviti većim brojem bita. Oni po pravilu rade po *message passing* principu, tj. informacije generisane u čvorovima grafa se prenose po njegovim ivicama do čvorova na drugoj strani, gde se dalje obrađuju. Primeri ovakvih algoritama su SPA [6] i FAID [7].

2. Dekoderi sa tvrdim odlučivanjem koji sve operacije obavljaju na nivou bita, pa je njihova kompleksnost znatno manja. Ovi dekoderi su obično zasnovani na Galager-B [8-9] (najjednostavniji *message passing algoritam*, gde se sve informacije predstavljaju jednim bitom) ili *bit-flipping* algoritmu [10-11] o kome će više biti reči u nastavku. Oba ova algoritma u slučaju dekodovanja u samo jednoj iteraciji svode se na odgovarajuću verziju jednokoračnog većinskog odlučivanja (*one-step majority logic decoding – OSMAJ*) [12].



Slika 2. Blok šema sistema za prenos sa primenom LDPC kodova



Slika 3. Blok šema procesora u i -tom varijabilnom čvoru, BF

c) Bit-flipping algoritam

Bit flipping algoritam je iterativni algoritam dekodovanja najmanje kompleksnosti, a pritom je broj taktova koji se utroše po svakoj iteraciji manji u odnosu na Galager-B, a posebno u odnosu algoritme sa mekim odlučivanjem. Ovaj postupak se zasniva na računanju γ provera parnosti za svaki varijabilni čvor, pri čemu u svaku proveru parnosti ulaze vrednosti ρ varijabilnih čvorova, čije su pozicije određene pozicijama jedinica u odgovarajućoj koloni kontrolne matrice. Ako je broj nezadovoljenih provera parnosti (označen sa $\Lambda_{BF,j}^{(l)}(\hat{\mathbf{x}}^{(l)})$) veći od $\gamma/2$, u narednom koraku je potrebno promeniti vrednost posmatranog varijabilnog čvora, tj odgovarajući bit se "flipuje"

$$\hat{x}_j^{(l+1)} = \begin{cases} 1 - \hat{x}_j^{(l)}, & \Lambda_{BF,j}^{(l)}(\hat{\mathbf{x}}^{(l)}) \geq \lfloor \gamma/2 \rfloor, \\ \hat{x}_j^{(l)}, & \Lambda_{BF,j}^{(l)}(\hat{\mathbf{x}}^{(l)}) < \lfloor \gamma/2 \rfloor. \end{cases} \quad (7)$$

Provere parnosti hardverski se mogu realizovati korišćenjem ρ -ulaznih logičkih kola koja odgovaraju operaciji "ekskluzivno ili" (*exclusive or*, XOR). Rezultati provere parnosti se vode na logičko kolo koje obavlja većinsko odlučivanje (*majority logic* – MAJ) sa γ ulaza, pri čemu je prag za odlučivanje postavljen na vrednost $\lfloor \gamma/2 \rfloor$. Logička blok šema procesora koji odgovara varijabilnom čvoru $j=3$ prikazana je na slici 3.

3. Probabilistički GDBF algoritam

GDBF algoritam je originalno predložen za primenu u slučaju prenosa kroz kanal sa aditivnim belim Gausovim šumom (ABGŠ). Za j -ti varijabilni čvor se u l -toj iteraciji računa inverzna funkcija, definisana izrazom [10, eq. (6)]

$$\Delta_{GDBF,j}^{(l)}(\mathbf{X}^{(l)}, \mathbf{r}) = \chi_j^{(l)} r_j + \sum_{i \in M(j)} \prod_{k \in N(i)} \chi_k^{(l)}, \quad j = 1, 2, \dots, n, \quad l \geq 0, \quad (8)$$

gde $\chi_j^{(l)} = (-1)^{\hat{x}_j^{(l)}}$ i $r_j = (-1)^{y_j}$ predstavljaju respektivno polarnu verziju procene j -tog bita kodne reči u l -toj iteraciji (koja je -1 ili +1) i vrednost j -tog simbola reči primljene iz kanala (inicijalne estimacije kodne reči), koja je realan broj.

U cilju prilagođenja algoritma za BSC, primenjene su transformacije $\hat{x}_j^{(l)} = 1 - 2\chi_j^{(l)}$ i $y_j = 1 - 2r_j$. Koristeći osobine aritmetike nad poljem GF(2), izveden je izraz za modifikovanu inverznu funkciju, koja u slučaju regularnih kodova glasi [11]

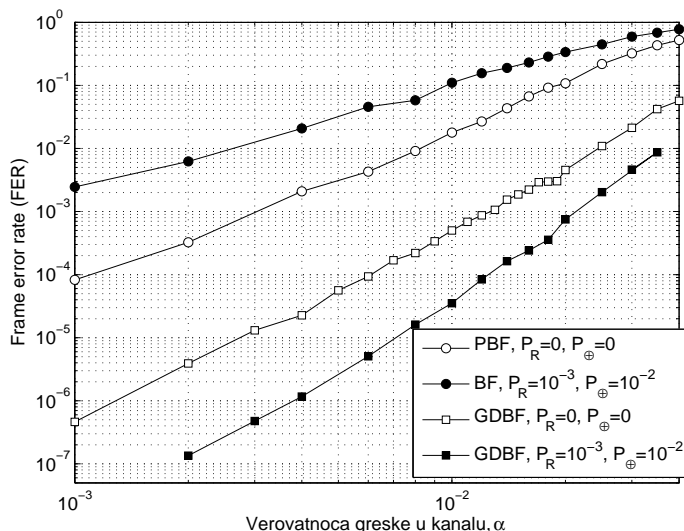
$$\Lambda_{GDBF,j}^{(l)}(\hat{x}^{(l)}, y) = \hat{x}_j^{(l)} y_j + \sum_{i \in M(j)} \bigoplus_{k \in N(i)} \hat{x}_k^{(l)}, \quad j = 1, 2, \dots, n, \quad l \geq 0. \quad (9)$$

Jasno je da $\Lambda_{GDBF,j}^{(l)}(\hat{x}^{(l)}, y)$ može uzeti samo celobrojne vrednosti iz skupa $\{0, 1, 2, \dots, \gamma+1\}$, pri čemu velika vrednost ove funkcije znači da je veliki broj provera parnosti nezadovoljen i da posmatrani bit najverovatnije treba invertovati, u skladu sa jednačinom (7). Dalja analiza pokazuje da se najstabilnija konvergencija postiže u slučaju kada je prag odgovarajućeg MAJ kola [11]

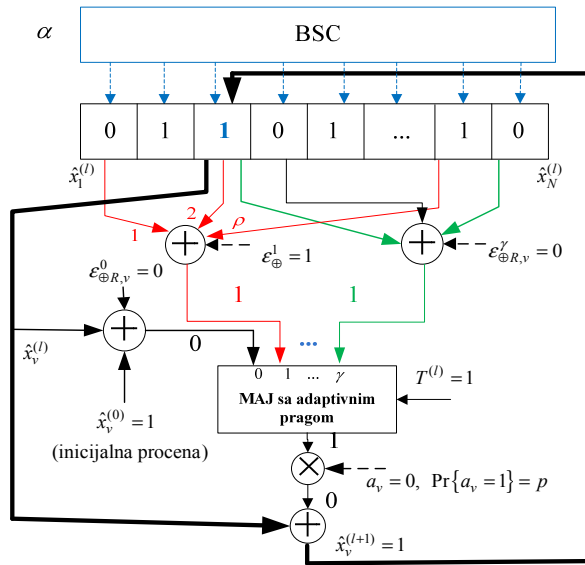
$$T^{(l)} = \max_j (\Lambda_{GDBF,j}^{(l)}(\hat{x}^{(l)}, y)). \quad (10)$$

Iako izračunavanje prethodnog izraza naizgled zahteva obavljanje globalne operacije na celoj kodnoj reči, isti efekat se može postići postavljanjem praga na maksimalnu vrednost $\gamma+1$ i njegovim dekrementiranjem dok se na izlazu bar jednog kola ne pojavi nenulta vrednost.

U nastavku je izvršena simulaciona analiza BF i GDBF algoritma za razne nivoe nepouzdanosti XOR kola i registara u dekoderu. Odgovarajući rezultati su dati na slici 4. Sa slike 4 se može uočiti iznenađujući efekat - dok se povećanje nepouzdanosti XOR kola i memorijskih registara negativno odražava na performanse BF algoritma, performanse GDBF algoritma se mogu i poboljšati u slučaju kada je hardver nepouzdan!

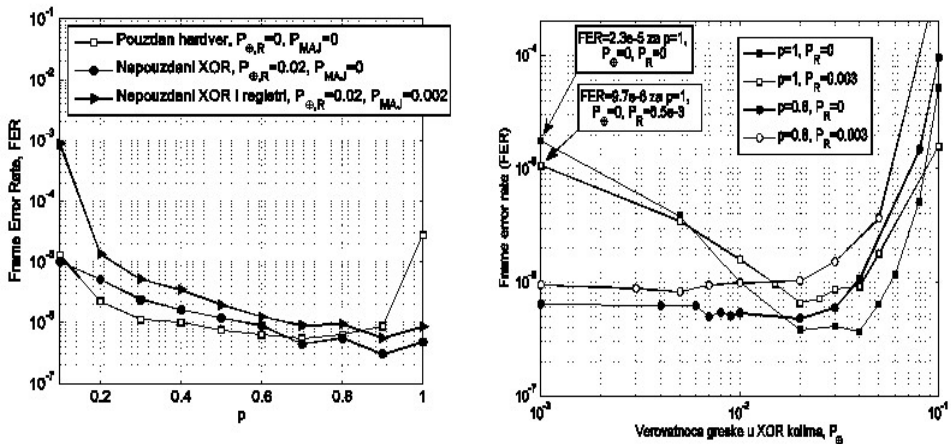


Slika 4. Uticaj nesavršenosti hardvera, BF i GDBF algoritam, kod Tanner (15,6,4)



Slika 5. Blok šema procesora u i -tom varijabilnom čvoru, PGDBF

Ovaj efekat je zatim iskorišćen da bi se poboljšale performanse koda i u slučaju savršeno pouzdanog hardvera [11]. U svaki varijabilni čvor dodat je jedan generator slučajnih brojeva, kome odgovara Bernulijeva raspodela $B(1,p)$. Na taj način dobijen je probabilistički GDBF (PGDBF) algoritam i blok šema odgovarajućeg procesora u varijabilnim čvorovima data je na slici 5. Simulacijama je procenjeno da se optimalna vrednost za kodove sa $\gamma=3$, $g=8$ nalazi u opsegu $p=0.7-0.9$ (slika 6a). Na slici 6b pokazano je da je ovako dobijen dekodera za $p=0.8$ praktično neosetljiv na greške u hardveru dok god je verovatnoća greške u XOR kolima u opsegu $P_{\oplus} < 5/n$. Jasno je da za $p=1$, kada se PGDBF svodi na GDBF, ovo nije slučaj.



Slika 6. a) Performanse PGDBF algoritma za razne nivoe pouzdanosti XOR kola, b) prosečan broj iteracija potreban za dekodovanje, kod Tanner (155,64)

4. Uticaj vremenske korelacije grešaka u logičkim kolima

Neka je $\{\hat{\mathbf{x}}^{(k)}\}_{k \geq 0}$ sekvenca kodnih reči uskladišten u memorijskim registrima čiji se sadržaj osvežava koristeći BF algoritam pri čemu se za korekciju greške koristi samo jedna iteracija ($L=1$), tj. koristi se OSMAJ dekodek sa tvrdim odlučivanjem (detaljno opisan u [12]). Blok šema ovakvog sistema prikazana je na slici 7.

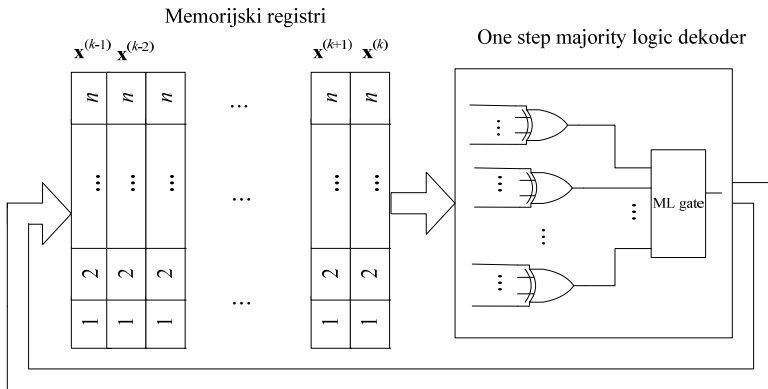
Neka je sa $\{y_{m,v}^{(t)}\}_{t \in [k-(M-1), k]}$, $1 \leq m \leq \gamma$, $1 \leq v \leq n$ označena sekvenca kodnih bita koja će se, ako se uskladišti bez grešaka, pojaviti na ulazu m -tog XOR logičkog kola povezanog na varijabilni čvor v , u vremenskom intervalu $[k-(M-1), k]$. Smatra se da verovatnoća da XOR kolo pogreši zavisi od njegovih trenutnih ulaza, kao i ulaza u prethodnih $(M-1)$ trenutaka osvežavanja memorije. Ovi ulazi za sva XOR kola definišu stanje u kome se dekodek nalazi u t -tom trenutku, označeno sa $s_{m,v}^{(t)}$, a svakom stanju odgovara odgovarajući vektor verovatnoća greške logičkih kola $\epsilon^{(t)}$. U radu [12] dokazana je teorema koja sledi.

Teorema 1:

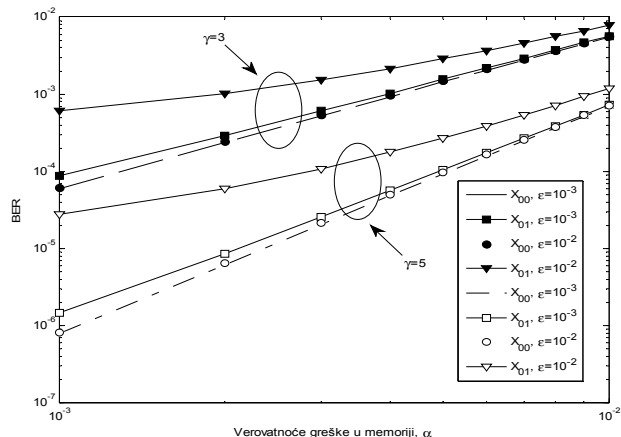
Prosečna verovatnoća greške po bitu (*bit error rate* - BER) regularnog LDPC koda sa težinom kolona γ i težinom vrsta ρ , kada se sekvenca kodnih reči $\{\hat{\mathbf{x}}^{(t)}\}_{t \in [k-(M-1), k]}$ čita iz memorije i dekoduje pomoću OSMAJ dekodeka data je izrazom

$$\bar{P}_e(\mathbf{x}^{(k)} | \mathbf{x}^{(k-1)}, \dots, \mathbf{x}^{(k-M+1)}) = \frac{1}{n} \sum_{v=1}^n \sum_{t=1}^{2^{(\rho-1)\gamma M}} P_v(\alpha, \epsilon^{(t)}) \prod_{m=1}^{\gamma} \alpha^{d_H(s_m^{(t)}, y_{m,v})} (1-\alpha)^{M(\rho-1) - d_H(s_m^{(t)}, y_{m,v})},$$

gde $P_v(\alpha, \epsilon^{(t)})$ označava verovatnoću da v -ti bit kodne reči bude pogrešno dekodovan ako je vektor grešaka u XOR kolima u datom trenutku $\epsilon^{(t)}$ (izvedena u [12]), dok $d_H(s_m^{(t)}, y_{m,v})$ označava Hemingovo rastojanje odgovarajućih vektora.



Slika 7. Blok šema memorije koja se osvežava one-step ML dekodekom



Slika 8. Verovatnoća greške u najpovoljnijem i najnepovoljnijem slučaju, kodovi sa $\gamma=3$ i $\gamma=5$ ($\rho=5$), prosečna verovatnoća greške u XOR kolima $\varepsilon=10^{-2}$ ili $\varepsilon=10^{-3}$

Pored toga što je prethodnim izrazom tačno određena verovatnoća greške za ovaj slučaj, izraz pokazuje da ona zavisi od sadržaja memorije. Drugim rečima, performanse dekodera pri dekodovanju jedne reči zavise od toga koje reči su prethodno dekodovane. Na slici 8 prikazani su numerički rezultati koji potvrđuju ovu tvrdnju, jer je u slučaju kada se naizmenično čitaju komplementarne kodne reči (X_{01}) verovatnoća greške znatno veća nego u slučaju kada se uzastopno čitaju iste kodne reči (X_{00}).

5. Zaključci

U radu su prezentovani elementi inovativnih tehnika koje omogućavaju projektovanje pouzdanih čipova od nepouzdanih komponentata. Iz dobijenih rezultata uočena su dva izuzetno važna efekta. Prvo, dekodier sastavljen od nepouzdanih komponentata u nekim slučajevima može da ima performanse koje su bolje od dekodera kod koga su sve komponente pouzdane. Identifikovan je opseg nivoa pouzdanosti logičkih kola i memorijskih registara za koji se ovo dešava. Zatim je algoritam dekodovanja minimalno modifikovan, tako da se poboljšane performanse ostvaruju i u slučaju kada je hardver dekodera savršeno pouzdan. Drugo, pokazano je da performanse određene klase dekodera zavise od podataka koji se dekoduju. Ovo praktično znači da sve kodne reči nisu ravnopravne u odnosu na proces dekodovanja što je jedan od osnovnih postulata teorije linearnih blok kodova. Naravno, ova osobina važi samo u slučaju kada je dekodier realizovan pomoću nepouzdanih logičkih kola i memorijskih elemenata.

Zahvalnica:

Rad je podržan sredstvima Sedmog okvirnog programa Evropske unije, grant br. 309129 (i-RISC projekat). Rad je delimično podržan i sredstvima Ministarstva za prosvetu, nauku i tehnološki razvoj republike Srbije, program tehnološkog razvoja br. TR32028. Učešće prof. Baneta Vasića na radu omogućeno je kroz NSF grantove CCF-0963726 i CCF-1314147, kao i sredstvima Biroa za edukaciju i kulturnu razmenu Sjedinjenih Američkih Država kroz Fulbrajtvov program stipendiranja.

Literatura

- [1] S. Ghosh, K. Roy, "Parameter variation tolerance and error resiliency: New design paradigm for the nanoscale era," *Proceedings of IEEE*, vol. 98, no. 10, pp. 1718–1751, Oct. 2010.
- [2] M. Taylor, "Reliable information storage in memories designed from unreliable components," *Bell System Technical Journal*, vol. 47, pp. 2299–2337, 1968.
- [3] A. Kuznetsov, "Information storage in a memory assembled from unreliable components," *Problems of Information Transmission*, vol. 9, pp. 254–264, 1973
- [4] B. Vasic and S. K. Chilappagari, "An information theoretical framework for analysis and design of nanoscale fault-tolerant memories based on low-density parity-check codes," *IEEE Transactions on Circuits and Systems I, Reg. Papers*, vol. 54, no. 11, pp. 2438–2446, Nov. 2007.
- [5] R. G. Gallager, "Low Density Parity Check Codes," *MIT Press*, Cambridge, Mass., 1963
- [6] L. Varshney, "Performance of LDPC codes under faulty iterative decoding," *IEEE Transactions on Information Theory*, vol. 57, no. 7, pp. 4427–4444, July 2011.
- [7] C.-H. Huang and L. Dolecek, "Analysis of finite-alphabet iterative decoders under processing errors," in *Proc. 2013 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP)*, May 2013, pp. 5085–5089.
- [8] F. Leduc-Primeau and W. J. Gross, "Faulty Gallager-B Decoding with Optimal Message Repetition", in *Proc 50th Annual Allerton Conference on Communication, Control, and Computing*, Allerton, Oct. 2012, pp. 549-556.
- [9] S. Tabatabaei Yazdi, H. Cho, and L. Dolecek, "Gallager B Decoder on Noisy Hardware," *IEEE Transactions on Communications*, vol. 61, no. 5, pp. 1660–1673, May 2013.
- [10] T. Wadayama, K. Nakamura, M. Yagita, Y. Funahashi, S. Usami, and I. Takumi, "Gradient descent bit flipping algorithms for decoding LDPC codes," *IEEE Transactions on Communications*, vol. 58, no. 6, pp. 1610–1614, Jun. 2010.
- [11] O. A. Rasheed, P. Ivanis, and B. Vasic, "Fault-Tolerant Probabilistic Gradient-Descent Bit Flipping Decoder," *IEEE Communications Letters*, vol. 18, no. 9, pp. 1487–1490, Sept. 2014.
- [12] S. Brkic, P. Ivanis, and B. Vasic, "Analysis of one-step majority logic decoding under correlated data-dependent gate failures," in *Proc. 2014 IEEE International Symposium on Information Theory (ISIT)*, Honolulu, June 2014, pp. 2599–2603.

Abstract: *In this paper the overview of innovative techniques for reliable chip design by using unreliable memory elements and logic gates is presented. The original solutions for design of stable memories by using LDPC codes are described. We present an interesting effect that some decoders have better performances in the case when the components they consist of are unreliable. Then, a new decoder resilient to the failures in the logic gates is described. Finally, it is shown that the performance of decoder realized by using the faulty components depend on information stored in memory.*

Keywords: *Bit flipping, iterative decoding, LDPC codes, logic gates, memory failures, unreliable components.*

INNOVATIVE TECHNIQUES FOR RELIABLE CHIP DESIGNS FROM UNRELIABLE COMPONENTS

Predrag Ivaniš, Srđan Brkić, Goran Đorđević and Bane Vasić