

REALIZACIJA ETHERNET UREĐAJA ZA DIGITALIZACIJU I DISTRIBUCIJU SDTV SIGNALA

Marko Nikolić, Milan Oklobdžija, Željko Stojković
Institut "Mihajlo Pupin"

Sadržaj: U ovom radu je detaljno opisana hardversko-softverska realizacija mrežnog uređaja koji vrši digitalizaciju analognog SDTV signala i distribuciju video sadržaja putem UDP paketa u lokalnoj Ethernet mreži. Osim ovog uređaja, kompletan sistem čine i mrežni grafički klijenti, koji prihvataju video sadržaj iz UDP paketa i prikazuju ga na displej jedinicama u XGA rezoluciji. Uređaj je zasnovan na video procesoru Texas Instruments-a (TI) TMS320DM642 koji ima specijalizovane video i audio portove. Za digitalizaciju SDTV signala se koristi Micronas AVF 4900B audio/video dekođer, dok se za digitalizaciju audio signala koristi audio kodek Philips UDA 1338H. Kompletan softver je razvijen u razvojnom okruženju TI Code Composer Studio v3.1, pri čemu se koristi DSP/BIOS operativni sistem koji obezbeđuje rad aplikacija u realnom vremenu.

Ključne reči: audio/video dekođer, deinterlejsing, digital signage, displej sistemi, embedded uređaj, Ethernet, multimedija, operativni sistemi u realnom vremenu, SDTV signal.

1. Uvod

Displej sistemi kontrolnih centara ili centara za nadgledanje često zahtevaju prikaz video sadržaja koji je u obliku SDTV signala [1]. Ovo mogu biti video signali sa kamera za nadgledanje, lokalnog kablovskog sistema televizije i slično. Imajući ovo u vidu, u okviru distribuiranog grafičkog displej sistema razvijenog u Institutu „Mihajlo Pupin“, realizovan je odgovarajući uređaj koji vrši funkciju digitalizacije SDTV signala i to video i audio komponente. Digitalizovani video i audio signali se zatim šalju univerzalnim mrežnim grafičkim klijentima koji vrše prikaz video signala [2]. U pojedinim slučajevima je zbog sinhronizacije sa drugim audio ili video izvorom neophodno ostvariti kašnjenje video ili audio signala.

2. Tehnička specifikacija

Osnovna funkcija Ethernet uređaja za distribuciju videa (u daljem tekstu EUDV) je digitalizacija analognog SDTV signala i slanje videa u lokalnu Ethernet mrežu

putem UDP paketa mrežnim grafičkim klijentima. Pri tom, video signal treba da zadrži osnovnu rezoluciju ili da je po potrebi smanji.

Uređaj treba da ima mogućnost prijema različitih tipova SDTV signala u osnovnom opsegu (RGB, S-video ili kompozitni video signal). Treba da postoji jedan video ulaz.

Pored ovog, uređaj treba da ima mogućnost obrade ulaznog stereo audio signala. Potrebno je da postoji jedan lokalni stereo audio izlaz, kao i mogućnost slanja audio signala putem Eterneta. Treba napomenuti da ulazni audio i video signal ne moraju da potiču od istog izvora.

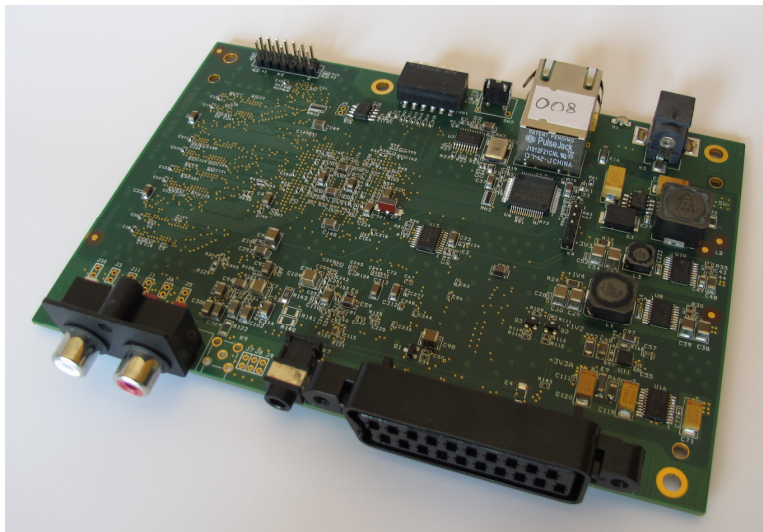
Uređaj treba da obezbedi programabilno kašnjenje audio i video signala do 10 sekundi, nezavisno jedno od drugog.

Dodatni zahtev je podizanje http servera koji treba da prikazuje video sadržaj u nižoj rezoluciji i sa manjim broja slika u sekundi od originalnog videa.

Treba omogućiti prijem i obradu komandi od upravljačkog servera (računara) koji se nalazi i u istoj lokalnoj mreži sa EUDV.

3. Hardver

Hardver EUDV je baziran na digitalnom procesoru signala Texas Instruments (TI) TMS320DM642 [3]. Ovakvo rešenje omogućuje dobar balans između performansi, potrošnje i cene. Takođe, TMS320DM642 u sebi integriše i nekoliko periferijskih jedinica neophodnih za realizaciju sistema, kao što su: memorijski kontroler, video ulazi, Ethernet interfejs, kao i digitalni audio port. Hardversko rešenje EUDV se sastoji iz nekoliko blokova. Ovi blokovi su: napajanje, reset kolo, blok za generisanje taktova, procesor, memorije, Ethernet, blok za digitalizaciju video signala i blok za digitalizaciju audio signala. Na Slici 1 je prikazan izgled štampane ploče EUDV sa uloženim komponentama.



Slika 1. Izgled štampane ploče uređaja sa uloženim komponentama

3.1. Blok za napajanje uređaja

Da bi se obezbedilo funkcionisanje svih kola u sistemu potrebno je generisati sledeće napone:

- +3.3V za napajanje digitalne logike i interfejsnih kola,
- +3.3V za napajanje analognog dela čipa za digitalizaciju video signala,
- +1.4V za napajanje jezgra DSP procesora i
- +1.2V za napajanje digitalnog dela čipa za digitalizaciju video signala.

Napajanje uređaja se vrši standardnim nestabilisanim izvorom (12V, 1A). Od ovog napona se korišćenjem DC/DC konvertora dobija napon od 5V koji služi za generisanje svih ostalih napona u sistemu. Naponi za napajanje digitalne logike dobijeni su korišćenjem DC/DC konvertora sa izuzetkom napona 1.2V gde se zbog niske potrošnje koristiti jeftiniji linearni regulator. Napon 3.3V za napajanje analognog dela čipa za digitalizaciju video signala je zbog tražene visoke stabilnosti realizovan korišćenjem linearnog regulatora.

3.2. Reset kolo

Sistemski reset je implementiran pomoću namenskog kola TI TPS3305-18D. Kolo vrši nadgledanje napona napajanja od 3.3 V koji koriste digitalna kola i 3.3 V koji koriste analogni delovi kola. Takođe, kolo vrši monitoring „watchdog“ signala sa glavnog procesora. U slučaju izostanka bilo kojeg od ovih signala generiše se sistemski reset. Signal reseta se vodi na sledeća kola: procesor, fleš memoriju, Ethernet PHY čip i čip za digitalizaciju video signala.

3.3. Generisanje signala takta

Za predloženu arhitekturu hardvera u sistemu potrebno je generisati sledeće taktove:

- osnovni takt DSP procesora – 50 MHz,
- osnovni takt za memorijski kontroler (EMIF) – 133 MHz,
- takt za 100 Mbps Ethernet primopredajnik – 25 MHz,
- takt za čip za digitalizaciju video signala – 20.25 MHz i
- takt za audio kodek – 22.5792 MHz.

Navedeni taktovi su generisani korišćenjem programabilnih PLL kola. Primenjeno rešenje sadrži samo jedan izvor referentnog takta (oscilator učestanosti 25 MHz). Potrebni taktovi za funkcionisanje sistema su generisani pomoću dva kola CDCE906 (Texas Instruments). Prvo kolo je iskorišćeno za generisanje taktova za DSP procesor, EMIF interfejs i Ethernet primopredajnik, dok drugo kolo generiše taktove za čip za digitalizaciju video signala kao i audio kodek.

3.4. DSP procesor TMS320DM642

Procesor TI TMS320DM642 predstavlja digitalni procesor signala iz familije C64x koji je dizajniran za primenu u multimediji. Jezgro ovog procesora je bazirano na specifičnoj VelociTI™ Very long instruction word - VLIW arhitekturi koja omogućava istovremeno izvršavanje osam 32-bitnih instrukcija. Na radnom taktu od 600 MHz ovo omogućava performanse od 4800 miliona instrukcija u sekundi, budući da video procesor

sadrži 6 aritmetičko-logičkih jedinica i dve množačke jedinice. TMS320DM642 u sebi ima integrisane različite periferije od kojih su za EUDV iskorišćeni EMIFA memorijski kontroler, jedan video port, McASP audio port kao i EMAC port za realizaciju Ethernet interfejsa.

3.5. Memorije

EMIFA je eksterni memorijski interfejs koji podržava nekoliko vrsta sinhronih i asinhronih memorija. Memorija rezervisana za EMIFA interfejs je podeljena u četiri memorijska prostora. Opseg adresa tih prostora je takav da omogućava adresiranje 256 MB memorije po jednom prostoru. Na DSP procesor je povezano ukupno 64 MB SDRAM memorije predviđene za rad na frekvenciji od 133 MHz. Memorija je podeljena u dva bloka od 32 MB, koji se nalaze u dva odvojena memorijska prostora.

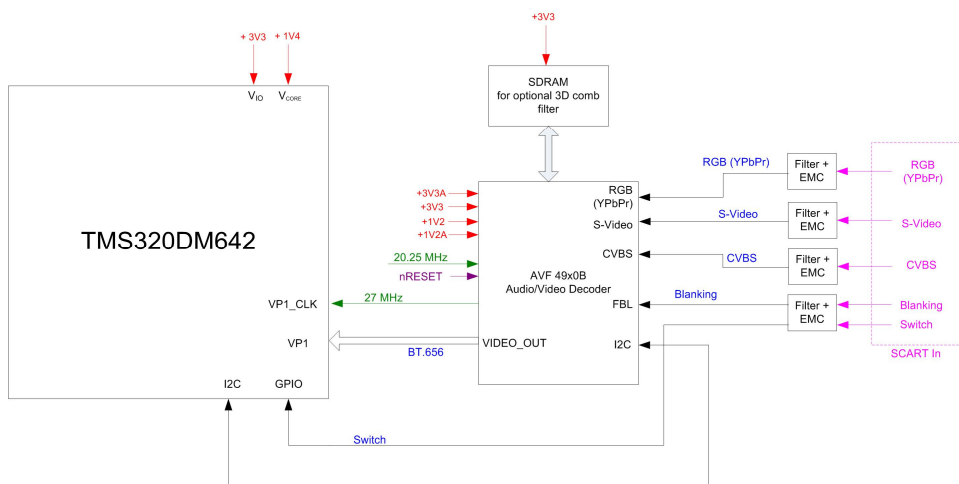
Fleš memorija služi za skladištenje boot i izvršnog koda DSP procesora, kao i za skladištenje informacija o konfiguraciji uređaja (IP adresa i slično). Iskorišćen je memorijski čip Spansion S29AL032D kapaciteta 4 MB, sa 8-bitnom magistralom podataka, a za komunikaciju sa fleš memorijom koristi se poseban memorijski prostor. EMIFA može adresirati samo 1 MB asinhronu memoriju po memorijskom prostoru ukoliko je širina pristupa memoriji 8 bita. Kako je bio neophodan kapacitet memorije od 4 MB uvedene su još dve adresne linije realizovane na GPIO pinovima DSP procesora.

3.6. Ethernet interfejs

Za realizaciju Ethernet interfejsa na EUDV koristi se EMAC port procesora koji je povezan sa kolom LXT971A koje predstavlja fizički mrežni interfejs. Komunikacija sa ovim kolom se obavlja preko standardnog MII (Media Independent Interface) interfejsa. Kontrola čipa LXT971A od strane EMAC-a se obavlja preko standardnog MDIO interfejsa.

3.7. Blok za digitalizaciju video signala

Blok za digitalizaciju video signala je prikazan na Slici 2.

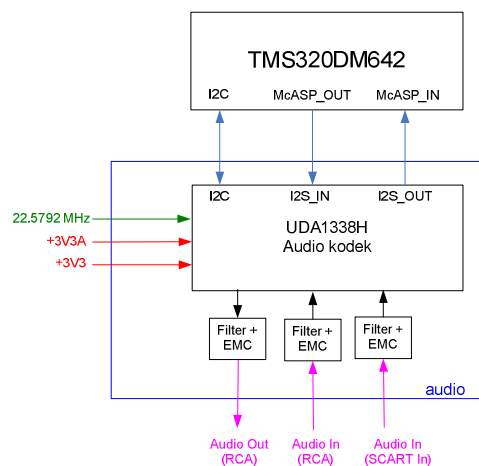


Slika 2. Blok za digitalizaciju video signala

Ovaj blok se bazira na korišćenju čipa *Micronas AVF 4900B* koji predstavlja autonomnu jedinicu za digitalizaciju videa i njegovo prosleđivanje do glavnog procesora po BT656 standardu. Ovaj čip poseduje 8 linija za akviziciju analognog video signala u formatima RGB, S-Video ili kao kompozitni video signal. Takođe postoji poseban kanal za digitalizaciju stereo audio signala. Čip može vršiti i izdvajanje teletekst informacija iz video signala a poseduje napredni 3D komb filter za dekodovanje kompozitnog video signala. Prenos digitalizovanog signala do glavnog procesora se vrši preko BT656 interfejsa širine 10 bita, a opciono je moguće povezati i digitalni audio kanal preko I2S interfejsa.

3.8. Blok za digitalizaciju audio signala

Osim prenosa i obrade videa, uređaj ima mogućnost obrade i slanja audio signala u Ethernet mrežu, kao i lokalno emitovanje korišćenjem stereo audio izlaza. Audio kodek *Philips UDA 1338H* je povezan na višekanalni serijski audio serijski port (McASP) video procesora, pri šemu se koristi I2S magistrala za prijem i slanje odbiraka audio signala, dok se I2C magistrala koristi za konfigurisanje audio kodeka. Broj bita po odbirku je 16, dok je frekvencija odabiranja 44,1 kHz. Slika 3 prikazuje blok-šemu za digitalizaciju audio signala.



Slika 3. Blok za digitalizaciju audio signala

4. Softver

Kompletan softver na Ethernet uređaju je razvijen u okviru integrisanog razvojnog okruženja Code Composer Studio v3.1 i DSP/BIOS operativnog sistema koji obezbeđuje rad aplikacija u realnom vremenu. Kreiranje *task*-ova se u DSP/BIOS operativnom sistemu može vršiti statički pomoću konfiguracionog fajla ili dinamički u toku izvršavanja koda. Prilikom kreiranja *task*-a, potrebno je, između ostalog, definisati i njegov prioritet. Task višeg prioriteta može da prekine izvršavanje taska nižeg prioriteta (*preemptive multi-tasking*). DSP/BIOS ima slojevitu drajversku arhitekturu koja obezbeđuje da promene u kodu usled promena u hardveru budu minimalne.

Uređaj komunicira sa upravljačkim serverom (standardni PC računar) u lokalnoj Ethernet mreži korišćenjem standardnog TCP/IP steka i specifičnog protokola iznad transportnog sloja, koji je definisan za potrebe rada ovakvog sistema. Dati protokol komunikacije između uređaja i servera obezbeđuje: slanje komandi za konfigurisanje uređaja, očitavanje trenutnih parametara uređaja i upis nove verzije softvera za Ethernet uređaj. Server definiše kompletnu konfiguraciju uređaja: IP adresu i port će se koristiti za emitovanje UDP paketa, rezoluciju videa, kvalitet JPEG slika, kašnjenje video i audio signala. Server takođe može po potrebi da isključi emitovanje video ili audio signala, kao i http servera.

EUDV šalje video u obliku M-JPEG-a, kod kojeg je svaka slika pojedinačno JPEG kodovana. Pri tome se za prenos informacija koristi UDP transportni protokol. Kako je veličina UDP paketa ograničena, neophodno je da se pre slanja podeli JPEG fajl koji odgovara jednom frejmu na blokove odgovarajuće dužine. Na strani klijenta se vrši sastavljanje delova JPEG fajla, dekodovanje i prikaz frejma. Mrežni grafički klijent može da prihvati do tri nezavisna video kanala [2]. Na jednom monitoru se može prikazati jedan ili više video kanala uz eventualno skaliranje i/ili rotaciju. Ako se na monitoru prikazuje više video kanala oni se prikazuju jedan preko drugog, ako se preklapaju; definisan je prioritet prikaza.

Jedna od osnovnih funkcija uređaja je programabilno kašnjenje video i audio signala. Kašnjenje video signala je nezavisno od kašnjenja audio signala. Maksimalno kašnjenje video ili audio signala je 10 sekundi. Kašnjenje je realizovano baferovanjem podataka, pri čemu je potrebno alocirati dovoljnu količinu memorije u SDRAM-u. Naravno, u slučaju kašnjenja videa, baferuju se komprimovane slike zbog uštede memorije.

Postoji mogućnost da se na mrežnom uređaju podigne i http server koji omogućava pristup uređaju i van lokalne mreže. Http server prikazuje video signal u nižoj rezoluciji i sa manjim brojem slika u sekundi i njegova osnovna funkcija je praćenje ispravnosti rada uređaja, kao i mogućnost konfigurisanja uređaja, slično kao i u lokalnoj mreži.

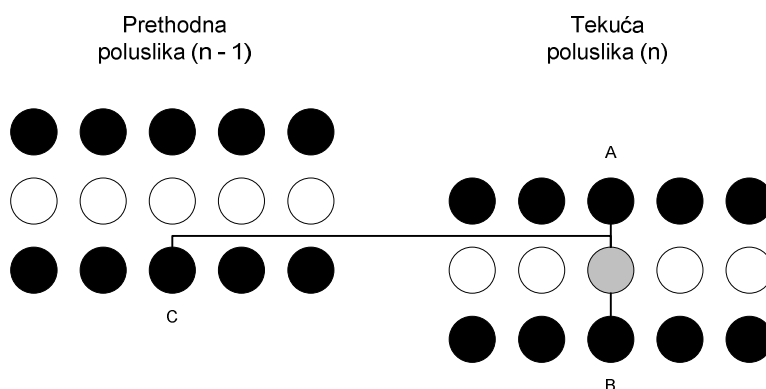
Uređaj poseduje dve verzije softvera: fabričku i radnu verziju softvera. Fabrička verzija softvera se upisuje samo jednom u toku proizvodnje uređaja i korisnik ne može da je promeni. Ova verzija softvera ima podržane samo osnovne funkcije uređaja, a glavna funkcija je prihvatanje i upis radne verzije softvera. Radna verzija softvera se nakon provere validnosti upisuje u fleš memoriju i ona postaje aktivna po resetu uređaja. Ovakvo rešenje sa dve verzije softvera je uvedeno kako bi se zaštitilo od eventualnog nestanka napajanja u toku upisa nove radne verzije softvera u fleš uređaja.

Kontrola video porta procesora TMS320DM642 kao i čipa za digitalizaciju videa *Micronas AVF 4900B* se obavlja korišćenjem odgovarajućeg drajvera u okviru operativnog sistema DSP/BIOS. Sam drajver je podeljen na dva sloja od kojih je jedan zadužen za kontrolu video porta procesora dok je drugi zadužen za kontrolu spoljašnjeg uređaja u ovom slučaju čipa *Micronas AVF 4900B*. Na ovaj način je izvedena enkapsulacija drajvera i tako je omogućena laka modifikacija drajvera u slučaju izmene konfiguracije sistema tj. korišćenja drugih čipova za digitalizaciju videa. Video port poseduje bafer procesora TMS320DM642 kapaciteta 2.5kB koji služi za privremeno smeštanje digitalnog video signala. Prebacivanje podataka iz ovog bafera u operativnu memoriju uređaja se obavlja korišćenjem DMA kontrolera. Digitalizovana video slika se

smešta u jedan od video bafera u operativnoj memoriji kojih obično ima tri ili četiri. Drajver vrši ciklični upis novih digitalizovanih slika u video bafere prepisujući najstariji bafer. Aplikativni softver za obradu videa preko drajvera pristupa jednom baferu, vrši obradu slike (deinterlejsing, skaliranje i kompresija) i zatim vraća bafer drajveru i uzima sledeći bafer. Na taj način se izbegava kolizija u korišćenju bafera između drajvera i aplikacije i sprečava se gubitak video frejmova.

Video drajver generiše poluslike od kojih treba sastaviti jednu sliku, odnosno potrebno je izvršiti *deinterlejsing*, kako ne bi došlo do vizuelnih artefakata u delovima slike sa intenzivnim pokretom, jer su poluslike snimljene u različitim trenucima. Između nekoliko algoritama deinterlejsinga izabrano je VT (vertikalno-vremensko) medijano filtriranje [4]. Ovaj algoritam spada u grupu algoritama deinterlejsinga bez kompenzacije pokreta i predstavlja dobar kompromis između računске složenosti i performansi. Ilustrovaćemo izabrani algoritam na jednom konkretnom primeru. Označimo sa n tekuću neparnu polusliku. Potrebno je odrediti vrednosti piksela u parnim linijama $f(x, y, n)$ i to na osnovu dva najbliža susedna piksela iz neparnih linija tekuće poluslike $A = f(x, y - 1, n)$ i $B = f(x, y + 1, n)$ i odgovarajućeg piksela $C = f(x, y, n - 1)$ iz prethodne poluslike. Primenom VT medijanog filtriranja, uzima se da je vrednost piksela jednaka medijani ova tri piksela:

$$f(x, y, n) = \text{med}(f(x, y - 1, n), f(x, y + 1, n), f(x, y, n - 1)) \quad (1)$$



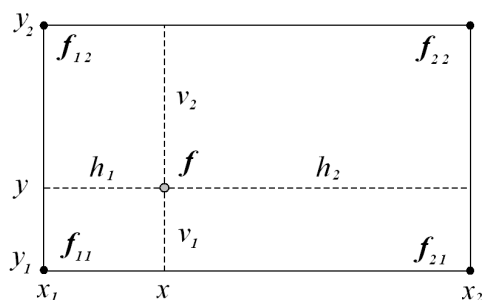
Slika 4. Ilustracija algoritma deinterlejsinga

Slika 4 prikazuje odabrani algoritam deinterlejsinga. Crnom bojom su označeni pikseli koji postoje u datoj poluslici, dok su belom bojom označeni nedostajući pikseli. Sivi kružić označava piksel čija je vrednost izračunata primenom deinterlejsinga.

Ako je pokret u slici mali, onda je vrlo verovatno da će vrednost odgovarajućeg piksela iz prethodne poluslike biti između vrednosti dva susedna piksela iz tekuće poluslike, pa će se njegova vrednost i uzeti za vrednost nedostajućeg piksela u tekućoj poluslici. U tom slučaju se primenjuje vremenska interpolacija. Ukoliko je reč o intenzivnijem pokretu u tom delu slike, tada će se za vrednost piksela uzeti jedan od susednih piksela iz tekuće poluslike, čime se gubi na vertikalnoj rezoluciji, što je glavni nedostatak ovog algoritma. S druge strane, mala računska složenost i odlične karakteristike kod vertikalnih ivica opravdavaju korišćenje ovog algoritma.

Digitalna slika, dobijena A/D konverzijom i primenom deinterlejsinga, se najčešće šalje u izvornoj rezoluciji, ali je moguće i smanjenje rezolucije slike, pre formiranja i slanja UDP paketa. Time se postiže manji protok neophodan za slanje videa i manje opterećenje mrežnih grafičkih klijenata koji obavljaju inverznu funkciju, odnosno smanjuje se vreme neophodno za dekodovanje JPEG slika. Smanjenje rezolucije je ostvareno implementacijom brzog algoritma bilinearne interpolacije [5][6] kod koga se koristi mapiranje unazad, odnosno mapiranje piksela izlazne slike u ulaznu sliku, što je prikazano na Slici 5. Piksela čiju vrednost treba izračunati ima koordinate (x, y) . Sa v_1 i v_2 su označena vertikalna rastojanja od najbliže donje, odnosno gornje horizontalne linije iz ulazne slike, redom. Sa h_1 i h_2 su označena horizontalna rastojanja od najbliža 4 susedna piksela. Vrednost traženog piksela se može predstaviti sledećim izrazom:

$$f(x, y) = \frac{h_1(v_1 f_{22} + v_2 f_{21}) + h_2(v_1 f_{12} + v_2 f_{11})}{(v_1 + v_2)(h_1 + h_2)} \quad (2)$$



Slika 5. Ilustracija bilinearne interpolacije

gde je $f_{i,j} = f(x_i, y_j)$. Radi jednostavnosti je uzeto da je rastojanje susednih piksela u ulaznoj slici 256, tj. $h_1 + h_2 = 256$ i $v_1 + v_2 = 256$. Time je obezbeđeno da se umesto deljenja koriste operacije pomeranja, koje se izvršavaju u jednom ciklusu na datom video procesoru.

Algoritam za skaliranje slike se izvršava liniju po liniju, odnosno jedna linija izlazne slike se generiše na osnovu dve najbliže susedne linije ulazne slike. Da bi algoritam mogao da radi u realnom vremenu potrebno je da se obrada vrši nad podacima koji se nalaze u internoj memoriji signal procesora. Nekomprimovane slike se zbog veličine moraju čuvati u spoljnoj memoriji. Zbog toga je neophodno kopirati linije slike iz spoljne memorije u internu memoriju procesora pomoću DMA kontrolera, nakon čega se poziva funkcija za obradu. Ta funkcija generiše jednu linije izlazne slike, koja se smešta takođe u internu memoriju. Na kraju se dobijena linija kopira u spoljnu memoriju, tj. u matricu izlazne slike. Obrada se vrši nezavisno nad lumentnom i hrominentnim komponentama. Algoritam se može primeniti na nekomprimovane slike u formatima 4:2:0, 4:2:2 i 4:4:4.

Prilikom inicijalizacije uređaja se vrši i konfigurisanje audio kodeka korišćenjem komandnog I2C interfejsa. Za dohvaćanje odbiraka ulaznog audio signala se koristi DMA kontroler, koji nakon prikupljanja zadatog broja odbiraka prijavljuje prekid. U prijemu se

koristi dvostruko baferisanje, odnosno jedan bafer se koristi za prijem tekućih ulaznih odbiraka, dok se u drugom baferu nalazi već primljeni odbirci audio signala koje aplikacija treba da pročita, pre nego što se napuni novi bafer sa odbircima. Prilikom svakog prekida DMA kontrolera se vrši promena bafera u koji se upisuju tekući odbirci. Time se postiže da nema prekida u audio signalu. Aplikacija omogućava promenu kašnjenja audio signala, kao i jačine zvuka. Naravno, moguće je i potpuno isključiti audio signal. Pored lokalnog emitovanja audio signala preko stereo izlaza, moguće je i slanje preko UDP paketa.

5. Zaključak

Testiranjem uređaja je potvrđeno da on ispunjava sve zahteve iz specifikacije. Uređaj je u stanju da distribuira digitalizovani SDTV signal u osnovnoj rezoluciji sa protokom od 25 slika u sekundi, pri čemu je zauzeće procesora oko 90%, kada su i svi ostali servisi uključeni (audio, http server). Najviše procesorskog vremena zauzima JPEG kodovanje slika u originalnoj rezoluciji, pri čemu je to vreme promenljivo i zavisi od nivoa detalja u slici. Ovo je najzahtevnija situacija, a u svim ostalim slučajevima je zauzeće procesora manje. Algoritam za deinterlejsing uzima manje od 10% procesorskog vremena i ne zavisi od sadržaja slike. Istovremeno, algoritam pruža zadovoljavajući kvalitet slike uz odsustvo grešaka u rekonstrukciji nedostajućih piksela.

Pravci daljeg razvoja su usmereni na realizaciju novog uređaja baziranog na novim znatno moćnijim *System-on-chip* rešenjima kompanije *Texas Instruments* kao što je npr. *TMS320DM816x*. Ovaj čip u sebi integriše *ARM* i *DSP* jezgro kao i tri jedinice za hardversko kodovanje videa u *H264* formatu u *Full HD* rezoluciji. U tom slučaju bi se koristio operativni sistem *Linux*, što bi omogućilo primenu standardnih protokola za komunikaciju sa novim uređajem.

Literatura

- [1] Ž. Stojković, M. Oklobdžija, M. Nikolić, „Distribuirani grafički displej sistem za komandne i upravljačke centre“, *CIGRE Srbija 2010, Kolokvijum D2: Informacioni sistemi i telekomunikacije*, D2 II 3, rad po pozivu.
- [2] M. V. Nikolić, M. N. Oklobdžija, Ž. M. Stojković, „Unapređeni mrežni grafički klijent u distribuiranim multimedijalnim sistemima“, *19. telekomunikacioni forum TELFOR 2011*, Beograd, novembar 2011.
- [3] Texas Instruments, TMS320DM642 Video/Imaging Fixed-Point Digital Signal Processor (Datasheet), SPRS200N, Dostupno: <http://www.ti.com/lit/ds/sprs200n/sprs200n.pdf>
- [4] G. de Haan, E. B. Bellers, “Deinterlacing - An overview”, *Proceedings of the IEEE*, Vol. 86, No. 9, Sep. 1998, pp. 1839-1857.
- [5] K. T. Gribbon, D. G. Bailey, “A Novel Approach to Real-time Bilinear Interpolation”, *Proceedings of the Second IEEE International Workshop on Electronic Design, Test and Applications (DELTA 2004)*, pp. 126 – 131
- [6] R. C. Gonzalez, R. E. Woods, *Digital Image Processing*, Third Edition, Prentice Hall, 2007.

Abstract: *This paper presents hardware and software implementation of the device that performs digitalization of analog SDTV signal and distribution of video via UDP packets in Ethernet local network. Beside this device, complete system includes other devices that perform inverse operation: they accept video from the UDP packets and display it on standard computer monitors in XGA resolution. The capture device is based on video processor Texas Instruments (TI) TMS320DM642 which has specialized video and audio ports. Micronas AVF 4900B audio/video decoder is used for digitalization of SDTV signal, while Philips UDA 1338H audio codec is used for the digitalization of audio signal. Complete software is developed using TI Code Composer Studio v3.1 IDE and TI DSP/BIOS real-time operating system.*

Keywords: *audio/video decoder, deinterlacing, digital signage, display systems, embedded device, Ethernet, multimedia, real-time operating systems, SDTV signal.*

IMPLEMENTATION OF ETHERNET DEVICE FOR DIGITALIZATION AND DISTRIBUTION OF SDTV SIGNAL

Marko Nikolić, Milan Oklobdžija, Željko Stojković