

PROTOTIP INTERNET RUTERA

Aleksandra Smiljanić¹, Zoran Čiča¹, Rajko Đenić²

¹Univerzitet u Beogradu – Elektrotehnički fakultet

²Iritel

Sadržaj: *Internet predstavlja nezaobilazan deo svakodnevnog života u svim njegovim segmentima (poslovnom, socijalnom, zabavnom itd.). Ruteri predstavljaju osnovnu gradivnu komponentu Internet infrastrukture. Kapaciteti rutera se kreću od veoma malih, u slučaju kućnih rutera namenjenih povezivanju nekoliko uređaja na Internet mrežu, do ogromnih kapaciteta u slučaju rutera instaliranih u jezgru Internet mreže. Rutere velikih kapaciteta proizvodi samo mali broj kompanija u svetu kao što su Cisco, Juniper, Huawei. U ovom radu biće prezentovan domaći prototip skalabilnog Internet rutera koji je razvijen kroz saradnju Elektrotehničkog fakulteta u Beogradu i Instituta Iritel.*

Ključne reči: *Internet, ruter, FPGA*

1. Uvod

Internet mreža je već postala važan segment svakog razvijenog društva. Današnja poslovna komunikacija se ne može zamisliti bez Interneta i servisa koje on pruža. Pored poslovne komunikacije, Internet je dominantan i u sferi socijalnog povezivanja ljudi kao i u sferi zabave. Iz svih navedenih razloga, Internet se neprestano razvija kako u pogledu broja korisnika koji neprestano raste, tako i u pogledu raznovrsnosti servisa koje pruža.

Novi servisi često nude multimedijalne sadržaje visokog kvaliteta u realnom vremenu. Otuda infrastruktura Interneta mora da unapređuje svoje kapacitete da bi obezbedila podršku takvim servisima. Unapređenje kapaciteta se postiže povećanjem kapaciteta linkova kao i instalacijom novih linkova i rutera. Međutim, povećanje kapaciteta linkova kao posledicu ima veće opterećenje rutera koji sada moraju da obrade veće količine informacije u jedinici vremena da bi izvršili svoju osnovnu namenu – prosleđivanje informacija (IP datagrama) ka krajnjem korisniku [1-3]. Takođe, i multikast servisi postaju sve značajniji. Kod multikast servisa, ruter mora da saobraćaj sa jednog svog ulaza distribuira na više svojih izlaza, što zahteva efikasnu implementaciju multikast podrške da ne bi dolazilo zagušenja rutera i pada njegovih performansi [1-2].

Pošto su u jezgru mreže instalirani linkovi i ruteri najvećih kapaciteta, jasno je da ovi ruteri trpe najveća opterećenja zbog procesiranja ogromne količine paketa. Veoma je važno dobro projektovati ruter visokog kapaciteta tako da on efikasno procesira pakete, da ne bi dolazilo do nepotrebnih gubitaka i time pada performansi Internet mreže, i pruža servise zahtevanog kvaliteta.

U okviru ovog rada je prezentovan prototip Internet rutera razvijen u domaćem okruženju u saradnji istraživača sa Elektrotehničkog fakulteta i Instituta Iritel. U okviru poglavlja 2 je dat detaljan opis delova prototipa Internet rutera i objašnjeno njegovo

funkcionisanje. U okviru poglavlja 3 su dati tehnički podaci o hardveskoj implementaciji i iskorišćenim resursima. Poglavlje 4 predstavlja zaključak u kome su izloženi budući pravci u daljem razvoju prototipa.

2. Prototip Internet rutera

U ovom poglavlju će prvo biti izloženi opšti principi strukture rutera. Zatim će biti izložena struktura razvijenog prototipa i detaljno opisani svi njegovi delovi.

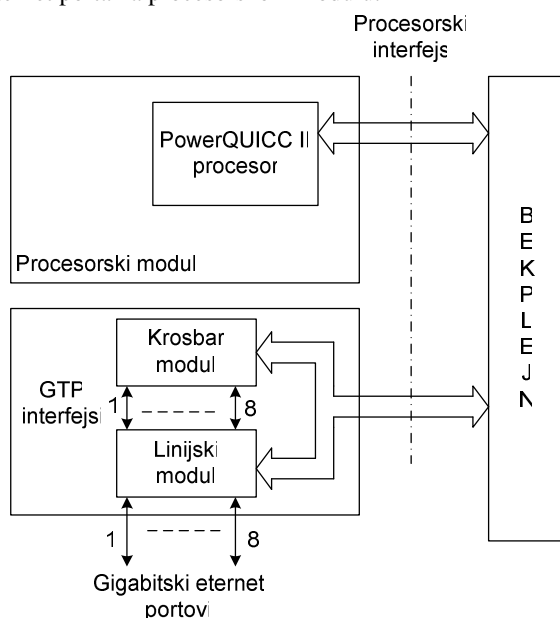
Postoji više kategorija Internet rutera u zavisnosti od njihove primene tj. predviđene pozicije u mreži gde bi trebali da se upotrebljavaju. Kućni ruteri ili ruteri predviđeni za povezivanje malih LAN mreža na Internet su tipično kompaktni i nemaju modularnu strukturu. Međutim, ruteri srednjih i velikih kapaciteta, predviđeni za povezivanje LAN mreža većih kapaciteta kao i za korišćenje u jezgri Internet mreže, moraju imati modularnu strukturu da bi bili ekonomski isplativi kako proizvođaču tako i korisniku. Modularnom strukturom se omogućava bolja skalabilnost i veći kapacitet rutera, ali isto tako i fleksibilnost u pogledu konfiguracije koja bi zadovoljila specifične potrebe korisnika.

Osnovni moduli rutera su linijski modul, procesorski modul i krosbar. Linijski moduli su najbrojniji i oni povezuju ruter sa njegovom okolinom (drugim ruterima i korisničkim mrežama), a njihova primarna funkcija je paketsko procesiranje. Tipično, proizvođači nude veći broj različitih linijskih modula radi mogućnosti povezivanja rutera na različite tipove mreže (ethernet, POS). Na ovaj način korisnik može konfigurirati ruter prema svojim potrebama birajući one linijske module koji mu omogućavaju konekciju sa mrežama sa kojima ruter treba da se poveže. Procesorski modul koncentriše u sebi funkcije kontrolne ravni. On implementira protokole rutiranja (OSPF, BGP), protokole menadžmenta (SNMP), a omogućava i administraciju tj. konfigurisanje rutera od strane administratora mreže. Krosbar predstavlja komutator koji vrši prosleđivanje paketa sa ulaznih na odgovarajuće izlazne portove rutera.

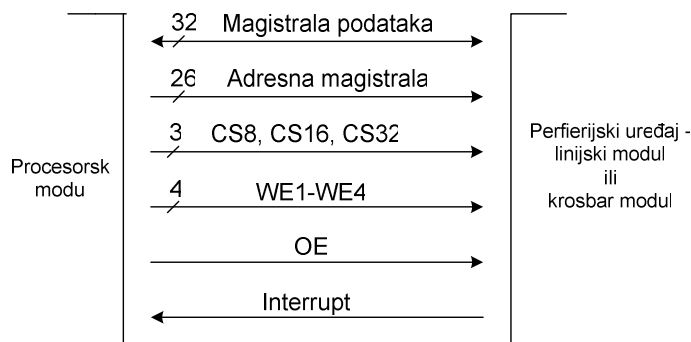
Razvijeni domaći prototip Internet rutera sadrži pomenuta tri modula – procesorski modul, krosbar modul i linijski modul. Ova tri modula su raspoređena na dve štampane ploče. Na jednoj štampanoj ploči je procesorski modul. Ova štampana ploča je standardna procesorska ploča koju Iritel koristi u svojim SDH sistemima. Pri tome je softverski deo ploče prilagođen funkcionalnostima Internet rutera i implementira protokole kontrolne ravni. Druga štampana ploča sadrži krosbar modul i linijski modul. Ova varijanta je adekvatna za prvu verziju prototipa rutera jer je ekonomičnija, a sa stanovišta testiranja funkcionalnosti nema značajnih razlika. U budućim verzijama prototip rutera će sadržati ova dva modula na odvojenim štampanim pločama, a takođe će biti i više linijskih modula radi ostvarivanja većih kapaciteta. Obe štampane ploče se postavljaju u standardni rek koji se koristi u Iritelovim SDH sistemima, i povezane su beplejnom. Uprošćena blok-shema je data na slici 1.

Procesorski modul je sa hardverskog stanovišta identičan već postojećoj procesorskoj ploči koju koristi Iritel u svojim sistemima, a razlika je samo sa softverskog stanovišta, pošto je on prilagođen funkcijama Internet rutera. Konekcija sa linijskim i krosbar modulom je ostvarena 32-bitnom procesorskom magistralom, koja omogućava procesoru, koji predstavlja srce procesorskog modula, upis i čitanje 32-bitnih podataka ka periferiji, odnosno linijskom i krosbar modulu. Upotrebljen je PowerQUICC II procesor. Procesorska magistrala je prikazana na slici 2. Ona se sastoji od 32-bitne magistrale podataka, 26-bitne adresne magistrale, kontrolnih signala za selektovanje čipova, kontrolnih signala za aktiviranje upisa i čitanja i signala za izazivanje prekida u procesoru. Postoje tri kontrolna signala za selektovanje čipova u zavisnosti od karakteristika čipa (*CS8*, *CS16*, *CS32*) tj. tipa podataka koje podržava: 8-bitne, 16-bitne ili 32-bitne. Implementirani linijski i krosbar moduli podržavaju 32-bitni prenos. Ukoliko procesor upisuje podatak tada se aktiviraju kontrolni

signali (*WE1-WE4*) za upis koji predstavljaju četiri signala za omogućavanje upisa – svaki za po jedan bajt 32-bitnog podatka na magistrali podataka. U slučaju čitanja, aktivira se signal (*OE*) koji aktivira trostatičke bafere kojima se omogućava adresiranom modulu da izbaci tražene podatke na procesorsku magistralu ka procesoru na procesorskoj ploči. Da bi se omogućilo krosbar modulu ili linijskom modulu signaliziranje nekog važnog događaja procesorskom modulu koristi se signal prekida (*Interrupt*) koji izaziva pokretanje prekidne rutine u radu procesora. Pošto procesor pristupa većem broju modula tj. čipova, adresni prostor je podeljen po modulima. Otuda su u modulima kreirani adresni dekoderi koji prepoznaju da li ih je procesor adresirao ili ne. Ukoliko su adresirani onda znaju da procesor želi da ostvari komunikaciju sa njima. Takođe, omogućena je i funkcija udaljenog pristupa, pa tako administrator rutera može dinamički pristupati ruteru u cilju podešavanja ili modifikovanja konfiguracije rutera ili očitavanja statusa rutera. Ovakav način pristupa je realizovan preko ethernet porta na procesorskom modulu.

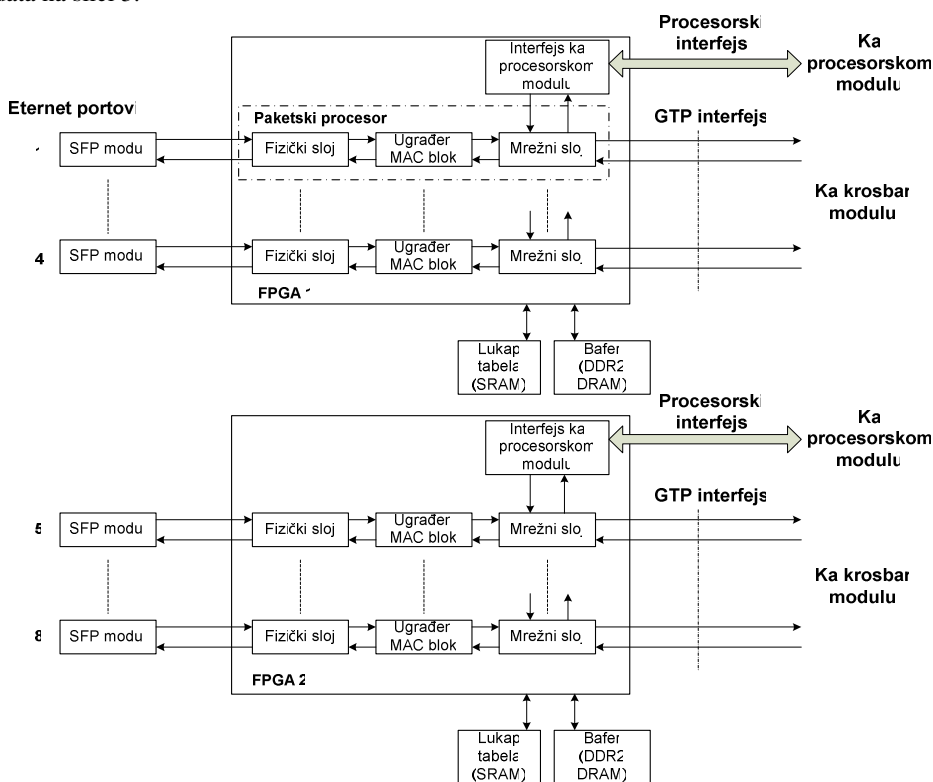


Slika 1. Uprošćena blok-shema prototipa Internet rutera



Slika 2. Procesorski interfejs ka linijskom i krosbar modulu

Linijski modul implementira osnovne funkcije paketskog procesora. Ovaj modul sadrži osam gigabitskih ethernet portova na koje se može povezati ili optičkim kablom ili UTP kablom uz korišćenje SFP modula. Sam linijski modul sadrži osam paketskih procesora po jedan za svaki port koji su raspoređeni na dva Xilinx-ova Virtex5 LX110T FPGA čipa [3]. Na svakom čipu se nalazi po četiri paketska procesora. Pri tome na svaki taj čip su povezane dve memorije – jedna SRAM memorija kapaciteta 2MB u koju je smeštena lukap tabela i jedna DDR2 DRAM memorija kapaciteta 1GB u koju su smešteni paketi. Sva četiri paketska procesora na jednom FPGA čipu dele lukap funkciju, odnosno lukap tabelu, a takođe, koriste istu DDR2 DRAM memoriju za svoje pakete. U okviru paketskog procesora su realizovane funkcije prva tri sloja OSI modela: prijem/predaja ethernet okvira, provera kontrolne sume ethernet okvira, segmentacija datagrama u ćelije fiksne dužine na ulaznim portovima [4], lukap funkcija [5], SGS raspoređivač [6-7], rekonstrukcija datagrama iz ćelija na izlaznim portovima [4] itd. Paketski procesor od IP datagrama formira ćelije fiksne dužine koje se prosleđuju ka krosbaru koji ih komutira i prosleđuje na izlazne portove. Uprošćena shema je data na slici 3.

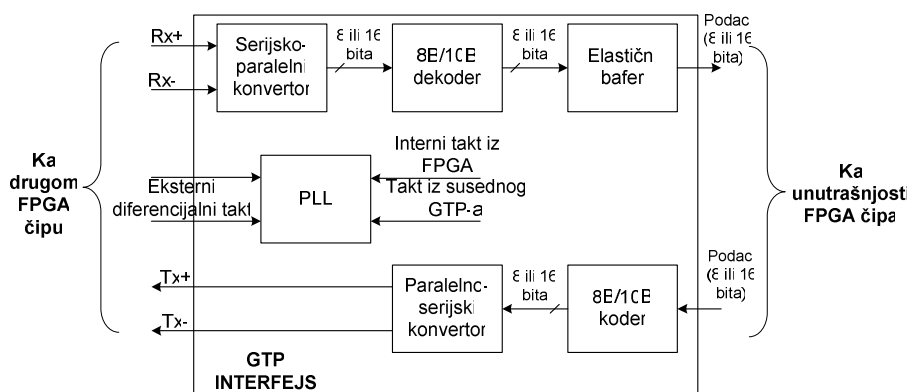


Slika 3. Uprošćena shema linijskog modula

Povezivanje sa krosbarom je izvršeno upotrebom brzih GTP interfejsa koji omogućavaju upotrebu različitih standarda za brzi prenos na fizičkom nivou (PCI-Express, RapidIO, SATA itd) i koji predstavljaju u suštini SERDES funkciju (konverzija serijski prenos u paralelni prenos za jedan smer i obrnuto za suprotni smer). GTP interfejsi imaju podršku za linijsko kodovanje i dekodovanje, elastični bafer, ekstrakciju takta i dr. Maksimalna brzina podataka na GTP interfejsu je 3.125Gb/s, a u našem slučaju je korišćena brzina 2.5Gb/s zbog

tehničkih mogućnosti beklejna, pri čemu je korišćen fizički nivo PCI-Express standarda. Jedan GTP interfejs sadrži četiri linije za podatke, po dve u svakom smeru (Tx+ i Tx- za predajni smer i Rx+ i Rx- za prijemni smer), tj. koristi se diferencijalni prenos signala radi ostvarivanja velike brzine prenosa, u našem slučaju 2.5Gb/s u svakom smeru. Pošto se koristi linijsko 8B/10B linijsko kodovanje, brzina korisničkog dela na ovom interfejsu je 2 Gb/s, tj. duplo veća od brzine gigabitskog ethernet porta. Uprošćeni prikaz GTP interfejsa je dat na slici 4.

Uloga krosbar modula je da prosleđuje ćelije sa ulaznih na odgovarajuće izlazne portove u skladu sa kontrolnim podacima koje dobija od modula za raspoređivanje paketa iz paketskih procesora linijskog modula. Krosbar je implementiran u jednom Virtex5 LX110T FPGA čipu. Za povezivanje sa linijskim modulom, odnosno paketskim procesorima koji se nalaze na linijskom modulu koriste se već opisani GTP interfejsi za prenos ćelija, dok posebnim kontrolnim linijama paketski procesori šalju kontrolne informacije za konfiguraciju krosbara koja definiše ulazno-izlazne parove koji će biti povezani. Sam krosbar se sastoji od više multipleksera, pri čemu je svakom izlazu krosbara pridružen jedan multiplekser. Pre samih ulaza u krosbar, koriste se elastične memorije radi kompenzacije različitih fizičkih kašnjenja na linijama između krosbara i linijskog modula [8]. Veza sa procesorskim modulom je ostvarena korišćenjem procesorske magistrale koja je prethodno opisana.



Slika 4. Uprošćena shema GTP interfejsa

3. Performanse implementacije

U okviru ovog poglavlja će ukratko biti izložene performanse same implementacije linijskog i krosbar modula, s obzirom da je za procesorski modul korišćen postojeći hardver i menjan samo softverski deo.

Sam prototip podržava priključenje osam gigabitskih ethernet portova. Linijski modul je raspoređen na dva FPGA čipa (Virtex5 LX110T), pri čemu je svakom FPGA čipu pridružena jedna SRAM memorija kapaciteta 2MB, i jedna DDR2 DRAM memorija kapaciteta 1GB. Iskorišćeni resursi FPGA čipa koji opslužuje četiri porta su dati u tabeli 1. Implementirani krosbar je 8x8 dimenzije, ali korišćeni FPGA čip (Virtex5 LX110T) može da podrži i veće dimenzije [8]. U tabeli 1 je prikazano iskorišćenje resursa FPGA čipa na kom je implementiran 8x8 krosbar.

Tabela 1. Iskorišćeni resursi FPGA čipova u prototipu Internet rutera

Funkcija FPGA čipa	Modul	LE	Registri	Memorija
4 paketska procesora	Linijski	12100(17%)	14097(20%)	2226Kb(42%)
8x8 krosbar	Krosbar	2916(4%)	3735(5%)	405Kb(8%)

4. Zaključak

U ovom radu je prezentovan prototip Internet rutera velikog kapaciteta razvijen od strane domaćih istraživača. Opisani su arhitektura ovog prototipa, i hardverski resursi koje on koristi. Prototip Internet rutera je fleksibilan, odnosno može lako da se modifikuje, jer se zasniva na FPGA čipovima. Napomenimo na kraju da razvijeni prototip ima nekoliko prednosti u odnosu na postojeća rešenja. Najpre, prototip se bazira na SGS raspoređivaču koji omogućava komutiranje unicast paketa bez njihovog blokiranja. Za opisani prototip razvijen je protokol za komutiranje multikast saobraćaja bez njegovog blokiranja. Saobraćaj se komutira bez blokiranja kada prolazi kroz ruter ako izlazni portovi nisu raspoređeni. Takođe je razvijen novi skalabilan IP lukap algoritam koji podržava IPv6 protokol. Dalji pravac razvoja prototipa je njegovo proširenje tako što će biti formirano više linijskih modula i posebna ploča koja će sadržati krosbar modul, i ispitivanje maksimalnih ostvarivih kapaciteta.

Literatura

- [1] M. Blagojević, A. Smiljanić, "Design of the Multicast Controller for the High-Capacity Internet Router", *IET Electronic Letters*, pp. 255-256, January 2008.
- [2] M. Blagojević, A. Smiljanić, M. Petrović, "Design of the Multicast Controller for the High-Capacity Internet Router", *IEEE Workshop on High Performance Switching and Routing*, Brooklyn, USA, June 2007.
- [3] <http://www.xilinx.com>
- [4] M. Carević, Z. Čiča, "FPGA Implementation of IP Packet Segmentation and Reassembly in Internet Router", *Serbian Journal of Electrical Engineering*, vol. 6(3), pp. 399-407, December 2009.
- [5] D. E. Commer, *Networks System Design Using Network Processor Intel IXP Version*. Prentice Hall, 2004.
- [6] M. Petrović, A. Smiljanić, Miloš Blagojević, "Design of the Switching Controller for the High-Capacity Non-Blocking Internet Router", *IEEE Transactions on VLSI*, pp. 1157-1161, August 2009.
- [7] M. Petrović, A. Smiljanić, "Optimization of the Scheduler for the Non-Blocking High-Capacity Router", *IEEE Communication Letters*, pp. 534-5369, June 2007.
- [8] L. Milinković, Čiča Zoran, Smiljanić Aleksandra, "Implementacija paketskog komutatora na FPGA čipu", *Telekomunikacioni forum TELFOR*, 2009.

Abstract: *Today, Internet plays the essential role in all aspects of everyday's life (business, social, fun etc.) Routers are the main component of the Internet infrastructure. Routers have a wide range of capacities, from very small, in the case of home routers that serve to connect several devices to Internet, to very large, in the case of core routers. Only several companies in the world develop large capacity routers like Cisco, Juniper, Huawei. In this paper, the scalable Internet router prototype will be presented. This prototype is developed by the School of Electrical Engineering of Belgrade University and the institute Iritel.*

Keywords: *Internet, router, FPGA*

INTERNET ROUTER PROTOTYPE
Aleksandra Smiljanić, Zoran Čiča, Rajko Đenić